

Phase Detector

William Neris, Maite Orama
Universidad de Puerto Rico en Humacao
Dept. Física y Electrónica

Abstract

Un “Phase Detector” (Detector de Fase) es un circuito o instrumento que detecta la diferencia entre puntos correspondientes entre dos señales. El propósito de este experimento son: (1) demostrar la operación y características del “Phase Detector” cuando ambas frecuencias de entrada son iguales (por ejemplo “phase lock”), y (2) determinar la ganancia de conversión.

I. Introducción

Muchos sistemas electrónicos utilizan los relojes internos que se requieren para tener la fase alineada con y/o múltiplo de la frecuencia de un reloj de referencia externo. La alineación de la fase es importante para poder intercambiar datos confiablemente entre circuitos en el dominio de alta frecuencia y circuitos en frecuencia más baja. El circuito que sintetiza el alineamiento de fase, del reloj de alta frecuencia del reloj se llama phase-locked loop (PLL).

Un PLL básico consiste de un detector de fase, una bomba de carga, un filtro de paso bajo, y un oscilador voltaje-controlado (VCO por sus siglas en inglés). El oscilador genera señal de salida periódica. Si los límites del reloj del oscilador decaen de los de la referencia, el detector de fase hace que la bomba de carga para cambie el voltaje de control, de modo que el oscilador se apresure. O viceversa según el caso. El filtro low-pass suaviza el control de entrada abrupto de la bomba de carga, de modo que el sistema tienda hacia un estado donde el detector de fase haga muy pocas correcciones. La figura 1 nos puede ilustrar mejor la explicación anterior.

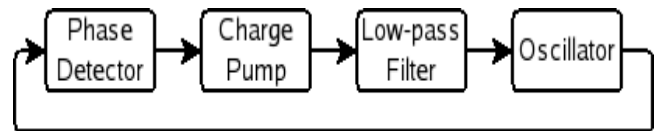


Fig 1. Operacion Basica de un PLL

El PLL es un sistema de control de retroalimentación que ajusta automáticamente la fase de una señal localmente generada para que sea igual a la señal de entrada. En esta condición, cualquier cambio leve en la señal de entrada primero aparece como cambio en fase entre la señal de entrada y la frecuencia del oscilador. Este desplazamiento de fase entonces actúa como señal de error para cambiar la frecuencia del oscilador local del PLL con el fin de igualar la señal de entrada. La relación de fijar la fase entre la señal de entrada y el oscilador local se considera como “phase-locked loop”.

Una parte importante de un PLL es el detector de fase. Esto compara la fase del oscilador local a la señal de referencia. En un PLL análogo el detector de fase es un multiplicador lineal. Esto genera una señal de baja frecuencia que su amplitud se relaciona con la diferencia de fase, o error de fase, entre el oscilador y la referencia, y una

señal indeseada de alta frecuencia que es filtrada hacia fuera.

La salida del detector de fase es un voltaje DC (V_{out}), que es proporcional al cambio de fase, ($\Delta\Phi$), de las dos señales de entrada. El cambio del voltaje de salida correspondiente al cambio de fase es llamado la ganancia de conversión, $K\Phi$. La ganancia de conversión esta dada por la siguiente ecuación:

$$K_{\phi} = \frac{\Delta V_{out}}{\Delta\phi}$$

II. Experimento:

Se ensablo el circuito que muestra la Figura 2, con una señal cuadrada de entrada de 5V a 1kHz.

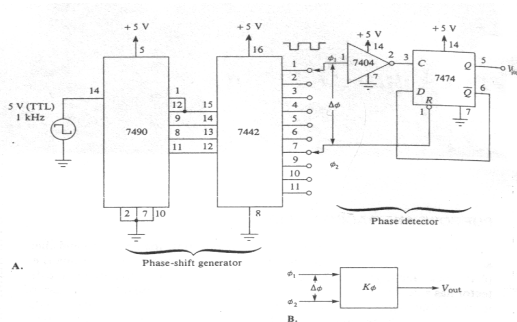


Figura 2. Diagrama esquemático del circuito

El canal 1 del osciloscopio se conecto al pin 1 del 7442 y el canal 2 se conectó al pin 1 del 7474.

El pin 1 del 7474 se conecto con el pin 1 del 7442 y prendió el circuito. Se midió entonces el voltaje en la salida del circuito.

Se cambio entonces el pin 1 del 7474 al pin 2 del 7442 y se midió el voltaje de salida.

Este procedimiento fue seguido hasta llegar al pin 11 con excepción del pin 8.

Utilizando HPVEE se obtuvieron algunas imágenes del osciloscopio

Con los datos recolectados se hizo una grafica de voltaje de salida en función del cambio de fase en grados.

III. Análisis

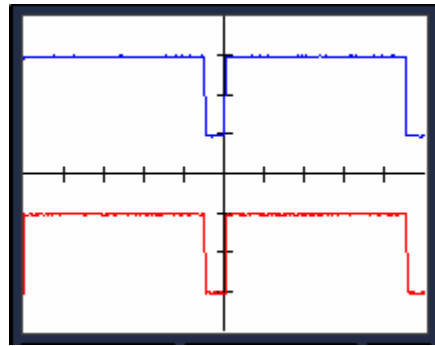


Figura 3. Imagen del Osciloscopio en el pin 1 del 7442

La figura de arriba muestra la salida a 0 grado mientras la de abajo es a 108 grados.

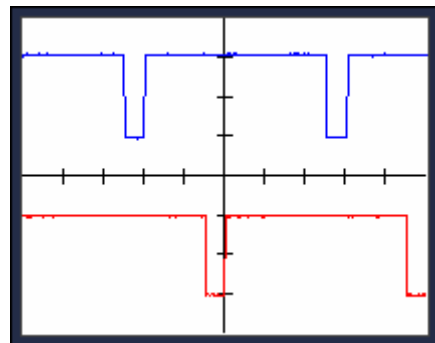


Figura 4. Imagen del Osciloscopio en el pin 5 del 7442

Esta ultima muestra la salida con 288 grados.

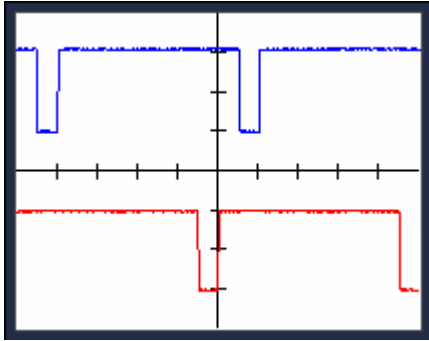
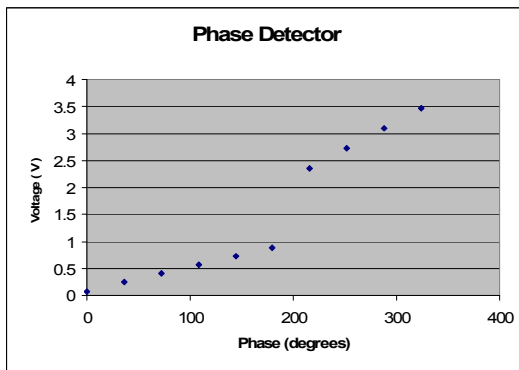


Figura 5. Imagen del Osciloscopio en el pin 10 del 7442

Phase (degree)	Voltage (V)
0	0.064
36	0.24
72	0.4
108	0.57
144	0.73
180	0.89
216	2.36
252	2.72
288	3.1
324	3.47

Tabla1. Valores de voltage medidos como function del angulo de fase



Conclusion

En este laboratorio confrontamos varios problemas en la salida y no sabemos explicar la razón. En la grafica se debía obtener una línea recta pero a su vez se obtuvo lo que se muestra. A pesar de esto aprendimos el funcionamiento del phase detector.

Referencias:

(1) Phase-Locked Loop (PLL)

Description

http://www.altera.com/support/software/nativelink/quartus2/glossary/def_pll.html

(2) phase-locked loop

http://www.answers.com/main/ntquery;jsessionid=19g1jjubqwqg?method=4&dsid=2222&dekey=Phase-locked+loop&gwp=8&curtab=2222_1&sbid=lc02b