

TEMA - 4

INTRODUCCIÓN A LAS FAMILIAS LÓGICAS.

1.- Introducción.

En los últimos capítulos se han visto aplicaciones digitales basadas en el uso de puertas lógicas estándar. Este tema describe los circuitos electrónicos que se pueden usar para llevar a la práctica estas aplicaciones y sus principales características.

En los primeros días de la fabricación de semiconductores los componentes estaban limitados a transistores sencillos. Conforme mejoraron las técnicas de fabricación fue posible incorporar varios componentes activos dentro de un solo encapsulado. Hoy es posible colocar millones de componentes tanto activos como pasivos dentro de un solo chip, lo que permite construir computadoras sobre un trozo de silicio de sólo unos cuantos milímetros cuadrados.

Todos los elementos y funciones lógicas que hemos visto (y muchas más) están disponibles como circuitos integrados (CI). Estos circuitos integrados contiene varias puertas dentro de un solo encapsulado. Los modernos sistemas digitales utilizan CIs casi exclusivamente en su diseño debido a su reducido tamaño, alta fiabilidad, bajo coste y consumo de potencia.

Un CI monolítico es un circuito electrónico construido enteramente sobre un pequeño chip de silicio. Todos los componentes que conforman el circuito, transistores, diodos, resistencias y condensadores, son parte integrante de un único chip.

La Figura 4-1 muestra una sección de un encapsulado de CI, donde se ve el chip del circuito dentro del encapsulado. Los terminales del chip se conectan a los pines del encapsulado para permitir las conexiones con las entradas y salidas del mundo exterior.

Los circuitos integrados comunes tienen 14, 16 o 20 terminales (pines), aunque dispositivos más complejos pueden tener 40 o más. La Figura 4-2 muestra la disposición de los pines de algunos CI. Los pines están

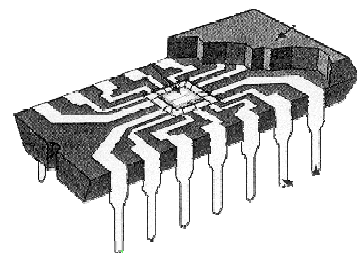


Figura 4-1. Sección de CI.

numerados en sentido antihorario y la orientación del dispositivo está indicada mediante una muesca o punto junto al pin 1.

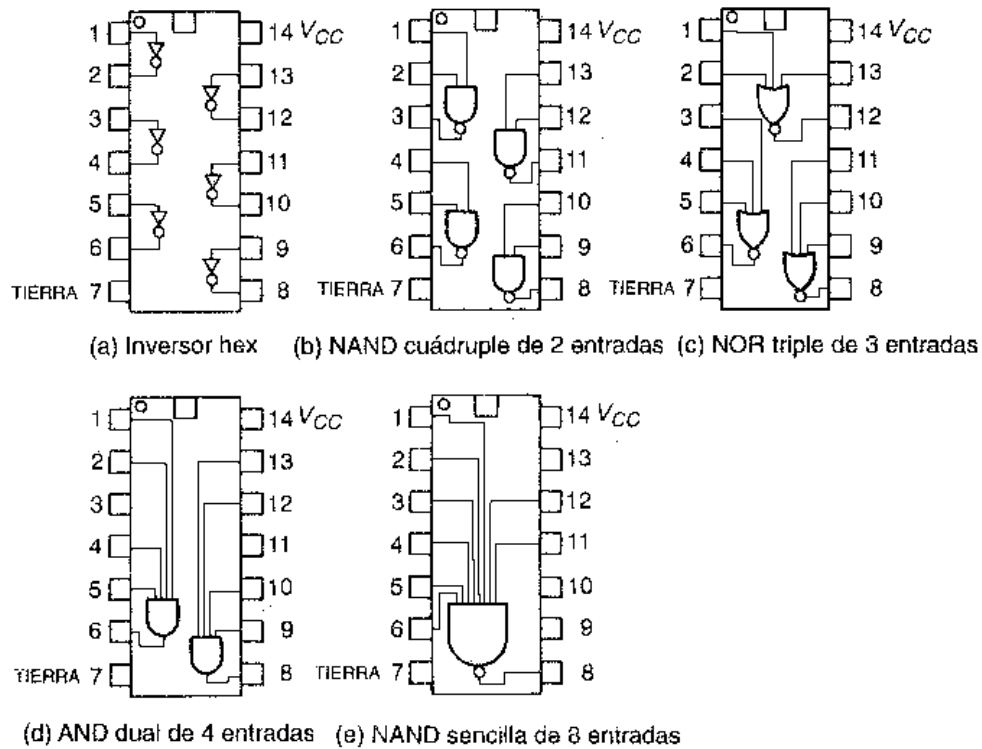


Figura 4-2. Disposición común de pines en circuitos integrados.

Los dispositivos electrónicos que contienen más de un componente activo se pueden clasificar de acuerdo a su **nivel de integración**. En el caso de dispositivos digitales, por la general se clasifican en función del número de puertas estándar que contengan. La Tabla 4-1 muestra una manera de definir los diversos niveles de integración.

Tabla 4-1. Niveles de integración para dispositivos digitales.

Nivel de integración	Nº de puertas	Aplicaciones
Pequeña escala de integración (SSI)	1 - 11	Puertas básicas y flip-flops
Media escala de integración (MSI)	12 – 100	Contadores, registros, memorias pequeñas
Gran escala de integración (LSI)	101 – 1000	Memorias y microprocesadores sencillos
Muy alta escala de integración (VLSI)	1001 – 100.000	Memorias grandes, microprocesadores

Aunque los modernos componentes electrónicos digitales son el resultado de años de desarrollo y evolución, no hay un conjunto ideal de circuitos que satisfaga todos los requerimientos. Por tanto existen varias **familias lógicas**, cada una de las cuales ofrece ventajas particulares. Por ejemplo algunas trabajan a velocidades muy altas, otras poseen bajo consumo, mientras que otras toleran bien el ruido electrónico. Parte de la función del diseñador consiste en seleccionar una familia lógica apropiada para una aplicación dada.

Las familias lógicas de circuitos integrados se pueden dividir en dos grupos principales:

1. Las que se basan en **transistores bipolares**.
2. Las que usan **transistores de semiconductor de óxido de metal** (MOS, *metal oxide semiconductor*).

Antes de ver la variedad de familias lógicas resulta útil examinar las características globales de los dispositivos lógicos y establecer una terminología que describa estas características. En este tema también se estudiarán las dos familias más importantes, la de lógica transistor-transistor (TTL, *transistor-transistor logic*) y la de lógica complementaria de semiconductor de óxido de metal (CMOS, *complementary metal oxide semiconductor*).

2.- Características funcionales de las familias lógicas.

Las prestaciones que nos ofrecen las distintas familias lógicas vienen determinadas por unos valores de tensión, intensidad, consumo, tiempos de retardo, etc. que en definitiva son los que diferencian a unas familias de otras.

Como sabemos, un dispositivo lógico puede estar trabajando en régimen estático o en conmutación. Para poder valorar su comportamiento en estos dos regímenes existen unas características de cuyo estudio nos encargamos a continuación.

2.1- Características estáticas.

Como ya hemos comentado definen el comportamiento en régimen estático o permanente de una familia lógica. Definiremos una serie de conceptos basados en el análisis de una puerta NAND.

2.1.1. Niveles lógicos

Podemos definir para los niveles de entrada:

- **Margen de cero:** El rango de variación de la tensión de entrada de la puerta que es reconocido como nivel lógico bajo por la misma. El margen del cero (V_{IL}) viene determinado por un valor máximo ($V_{ILmáx}$) y por un valor mínimo ($V_{ILmín}$).

$$\text{MARGEN DEL CERO } (V_{IL}) = V_{ILmáx} - V_{ILmín}$$

Cualquier valor de la tensión de entrada (V_i) comprendido entre $V_{ILmín}$ y $V_{ILmáx}$ será un nivel lógico bajo, es decir, será reconocido como '0' en la entrada.

- **Margen de uno:** Margen de variación de la tensión de entrada (V_i) dentro del cual ésta es reconocida como nivel alto por la puerta. Está delimitado por un valor máximo de la tensión de entrada ($V_{IHmáx}$) y un valor mínimo de la misma ($V_{IHmín}$).

$$\text{MARGEN DEL UNO } (V_{IH}) = V_{IHmáx} - V_{IHmín}$$

Cualquier valor de la tensión de entrada comprendido en este margen será un nivel lógico alto en la entrada ('1').

- **Puntos de transición:** Delimitan los valores críticos de la tensión de entrada.
 - $V_{ILm\acute{a}x}$ (Figura 4-3) : Voltaje máximo permitido en una entrada para que ésta se interprete como '0' (BAJO). Un valor de tensión de entrada superior a éste dejaría de ser considerado como nivel lógico bajo.
 - $V_{IHm\acute{i}n}$ (Figura 4-3): Voltaje mínimo requerido en una entrada para que ésta se interprete como '1' (ALTO). Un valor de tensión de entrada inferior a éste dejaría de ser considerado como nivel lógico alto.
- **Margen de transición:** Zona determinada por los puntos de transición donde la tensión de entrada no corresponde a un nivel lógico concreto. Cualquier valor de la tensión de entrada comprendido entre $V_{ILm\acute{a}x}$ y $V_{IHm\acute{i}n}$ tendrá un nivel indeterminado y la salida de la puerta no tendrá un nivel lógico definido.

$$\text{MARGEN DE TRANSICIÓN} = V_{IHm\acute{i}n} - V_{ILm\acute{a}x}$$

También definimos valores para las tensiones de salida:

- **Margen de cero:** El rango de variación de la tensión de salida de la puerta que es reconocido como nivel lógico bajo por la misma.

$$\text{MARGEN DEL CERO (} V_{OL} \text{)} = V_{OLm\acute{a}x} - V_{OLm\acute{i}n}$$

- **Margen de uno:** Margen de variación de la tensión de salida (V_O) dentro del cual ésta es reconocida como nivel alto por la puerta.

$$\text{MARGEN DEL UNO (} V_{OH} \text{)} = V_{OHm\acute{a}x} - V_{OHm\acute{i}n}$$

- **Puntos de transición:** Delimitan los valores críticos de la tensión de salida.
 - $V_{OLm\acute{a}x}$: Voltaje máximo que se puede obtener a la salida de una puerta cuando ésta se encuentra a nivel bajo '0'.
 - $V_{OHm\acute{i}n}$: Voltaje mínimo que se puede obtener a la salida de una puerta cuando ésta se encuentra a nivel alto '1'.

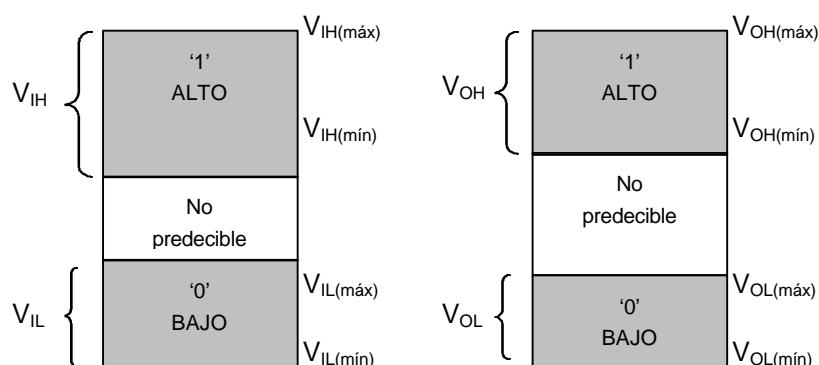


Figura 4-3. Niveles lógicos.

2.1.2.- Inmunidad al ruido.

Se denomina ruido a cualquier perturbación involuntaria que puede originar un cambio no deseado en la salida del circuito. El ruido puede generarse externamente por la presencia de escobillas en motores o interruptores, por acoplo por conexiones o líneas de tensión cercanas o por picos de la corriente de alimentación. Para no verse afectado por el ruido, los circuitos lógicos deben tener cierta inmunidad al ruido, que se define como la capacidad para tolerar fluctuaciones en la tensión no deseadas en sus entradas sin que cambie el estado de salida.

Por ejemplo, si la tensión de ruido en la entrada de una puerta hace que la tensión de nivel alto caiga por debajo de V_{IHmin} el funcionamiento no será predecible. Del mismo modo si el ruido hace que la tensión de entrada para el estado bajo pase por encima de V_{ILmax} , se crea una condición indeterminada como se ilustra en la Figura 4-4.

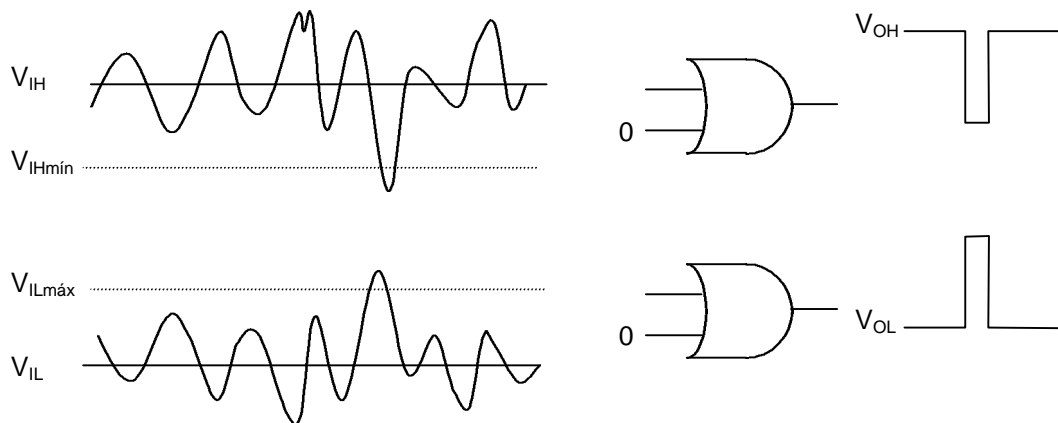


Figura 4-4. Efecto del ruido.

Para evitar la presencia de errores provocados por el ruido, los fabricantes establecen un margen de seguridad conocido como "MARGEN DE RUIDO" para no sobrepasar los valores críticos de tensión.

En la Figura 4-5 tenemos los valores críticos de las tensiones de entrada y salida de una puerta lógica y los márgenes de ruido a nivel alto y bajo.

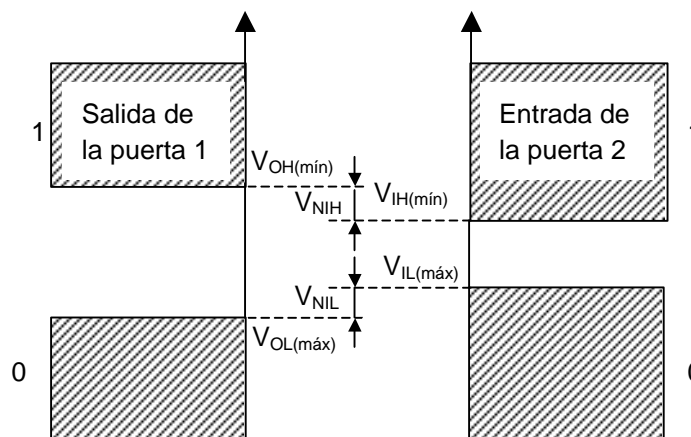


Figura 4-5. Inmunidad al ruido.

Si la tensión de entrada mínima a nivel alto de una puerta tiene como valor $V_{IH\text{mín}}$, la tensión mínima de salida a nivel alto debe ser igual o superior a $V_{IH\text{mín}}$. Pero para evitar la influencia de ruidos que afecten a la siguiente puerta, no se permitirá una tensión de salida inferior a $V_{IH\text{mín}}$ más el margen de ruido a nivel alto (V_{NIH}):

$$V_{OH\text{mín}} = V_{IH\text{mín}} + V_{NIH}$$

Para determinar el valor de $V_{OL\text{máx}}$ aplicamos el mismo criterio pero utilizando el margen de ruido a nivel bajo (V_{NIL}):

$$V_{OL\text{máx}} = V_{IL\text{máx}} - V_{NIL}$$

- **Margen de ruido a nivel bajo (V_{NIL}):**

$$V_{NIL} = V_{IL\text{máx}} - V_{OL\text{máx}}$$

- **Margen de ruido a nivel alto (V_{NIH}):**

$$V_{NIH} = V_{OH\text{mín}} - V_{IH\text{mín}}$$

2.1.3.- Corrientes.

El fabricante nos da los valores de las corrientes de entrada:

- $I_{IL\text{máx}}$ \Rightarrow Intensidad máxima de la entrada de una puerta cuando está en estado bajo (el signo negativo indica que esta corriente fluye hacia el exterior del dispositivo).
- $I_{IH\text{máx}}$ \Rightarrow Intensidad máxima de entrada de una puerta cuando está en estado alto.

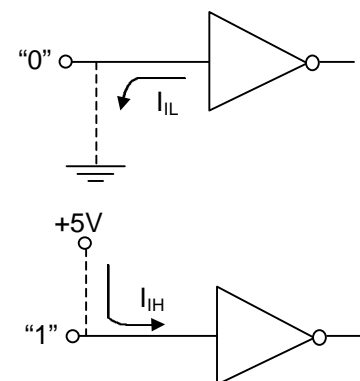


Figura 4-6. Corrientes de entrada

Y de salida:

- $I_{OL\text{máx}}$ \Rightarrow Capacidad que tiene la puerta para absorber una intensidad cuando la salida se encuentra a nivel bajo. La puerta actúa como sumidero de corriente.
- $I_{OH\text{máx}}$ \Rightarrow Intensidad que puede suministrar la puerta cuando la salida está a nivel alto. En este caso la puerta entrega corriente (fuente) a las entradas de las puertas de carga.

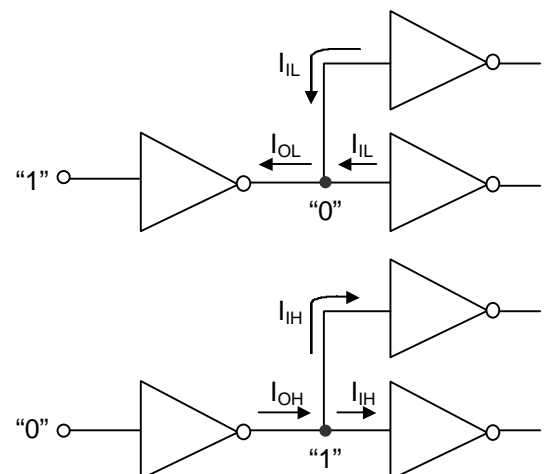


Figura 4-7. Corrientes de salida

2.1.4.- Fan-out.

Cuando la salida de una puerta lógica se conecta a una o más entradas de otras puertas se genera una carga en la puerta excitadora. Existe un límite para el número de entradas que una cierta puerta puede excitar. Este límite se denomina **fan-out** o cargabilidad de la puerta.

Al conectar más puertas de carga a una puerta excitadora, la corriente de fuente aumenta y con ello la caída de tensión interna de la puerta excitadora haciendo que la tensión de salida V_{OH} disminuya. Si se conecta un número excesivo de puertas de carga, la tensión V_{OH} puede caer por debajo de su valor mínimo $V_{OH\ min}$, lo que supone un fallo en el funcionamiento del circuito. Además al aumentar la corriente de fuente, aumenta la disipación de potencia de la puerta excitadora.

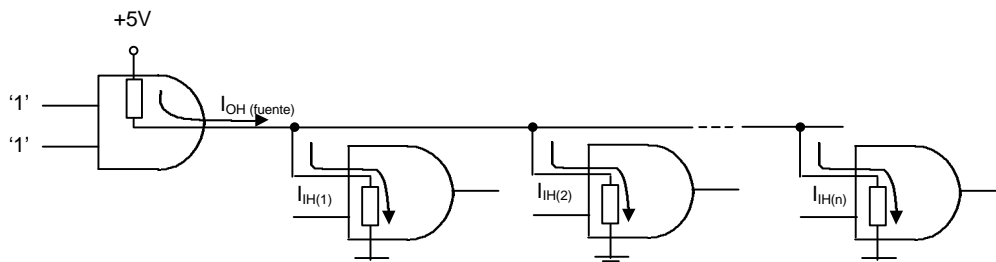


Figura 4-8. Carga en estado alto.

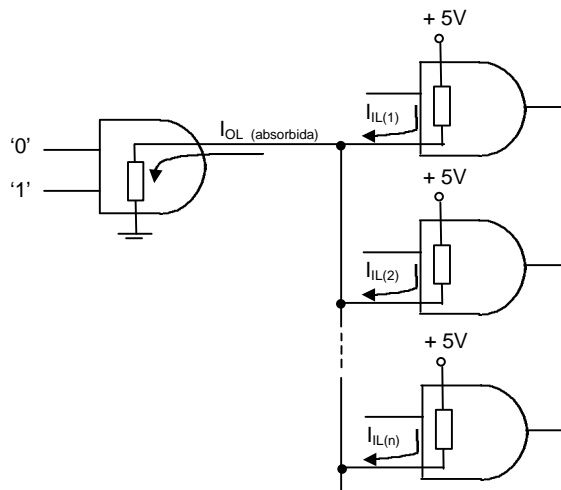


Figura 4-9. Carga en estado bajo.

La corriente total de sumidero (absorbida) también aumenta con cada entrada que se añade, como muestra la Figura 4-9. Al aumentar esta corriente, la caída de tensión interna de la puerta excitadora aumenta haciendo que V_{OL} aumente. Si se añade un número demasiado grande de puertas, V_{OL} se hará mayor que $V_{OL\ máx}$ produciéndose un dato erróneo en la salida.

A de cumplirse:

$$I_{OL} \geq \sum I_{IL\ 2^{\circ}etapa}$$

$$I_{OH} \geq \sum I_{IH\ 2^{\circ}etapa}$$

El *fan-out* puede venir expresado de dos formas distintas:

- a) **Respecto a la misma familia lógica.** Se obtienen dos valores de *fan-out* uno a nivel alto y otro a nivel bajo, que nos indicarán el máximo número de puertas que puede gobernar otra puerta de la misma familia lógica.

$$\text{Fan-out}_{(L)} = \frac{I_{OL\text{máx}}}{I_{IL}}$$

$$\text{Fan-out}_{(H)} = \frac{I_{OH\text{máx}}}{I_{IH}}$$

- b) **Respecto a la unidad de carga (TTL estándar).** Se obtienen dos valores de *fan-out* (uno a nivel alto y otro a nivel bajo) referidos a la unidad de carga utilizada por el fabricante (U.L. = 1,6 mA, U.H = 40 μ A), que nos indicarán el máximo número de puertas TTL estándar que puede gobernar una puerta de una familia concreta.

$$\text{Fan-out}_{(L)} = \frac{I_{OL\text{máx}}}{1,6\text{mA}} (U.L.)$$

$$\text{Fan-out}_{(H)} = \frac{I_{OH\text{máx}}}{40\mu\text{A}} (U.H.)$$

Los valores dados por el fabricante de 1,6 mA como U.L.(unidad de carga a nivel bajo) y de 40 μ A como U.H.(unidad de carga a nivel alto) son los correspondientes a las corrientes I_{IL} y I_{IH} de una puerta TTL estándar (como se verá más adelante).

2.1.5.- Disipación de potencia.

Por una puerta lógica circula corriente procedente de una fuente de alimentación continua. Cuando el estado de la salida de la puerta es alto circula una corriente I_{CCH} y cuando está a nivel bajo circula I_{CCL} .

Al aplicar impulsos a las entradas de una puerta, la salida conmuta entre los estados alto y bajo por lo que la corriente de alimentación varía entre I_{CCH} y I_{CCL} . Por esto, la disipación de potencia de una puerta lógica se calcula efectuando la media aritmética de los dos resultados (los cálculos se realizan en vacío, sin ninguna carga conectada a la salida de la puerta).

$$P_{D\text{media}} = \frac{I_{CCH} \cdot V_{CC} + I_{CCL} \cdot V_{CC}}{2}$$

2.2.- Características dinámicas.

La mayoría de aplicaciones de los circuitos integrados de las distintas familias lógicas se basan en el funcionamiento de los mismos en régimen de conmutación, es decir, en régimen dinámico.

2.2.1.- Retardo de propagación.

Cuando una señal se propaga a través de un circuito electrónico, siempre experimenta un retardo de tiempo. Un cambio de nivel de salida siempre se produce en cierto tiempo, llamado **tiempo de retardo de propagación**, después de que se ha realizado un cambio en las entradas.

Existen dos tiempos de propagación:

- t_{pLH} : Tiempo entre un determinado punto del pulso de entrada (50% del flanco) y el correspondiente punto (50% del flanco) del impulso de salida cuando la salida cambia de nivel bajo a nivel alto.
- t_{pHL} : Tiempo entre un determinado punto del pulso de entrada (50% del flanco) y el correspondiente punto (50% del flanco) del impulso de salida cuando la salida cambia de nivel alto a nivel bajo.
- t_{pD} : Tiempo de propagación medio. Debido a que los tiempos t_{pLH} y t_{pHL} no son iguales en una misma puerta, se da el tiempo de propagación medio:

$$t_{pD} = \frac{t_{pLH} + t_{pHL}}{2}$$

En la Figura 4-10 se pueden apreciar estos tiempos para una puerta "no inversora".

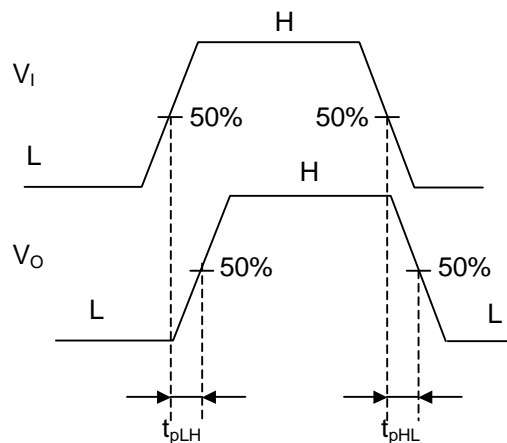


Figura 4-10. Retardos de una puerta no inversora.

El retardo de propagación de una puerta limita la frecuencia a la que puede trabajar. Cuanto mayor es el retardo de propagación, menor es la frecuencia máxima. Luego, un circuito de muy alta velocidad será aquel que tenga un retardo de propagación muy pequeño.

2.2.2.- Producto: t_{pD} x potencia.

Ya que la mayoría de aplicaciones trabajarán en régimen dinámico la velocidad de conmutación de los circuitos debe ser muy elevada. De esta manera, la velocidad de un circuito junto con la disipación de potencia se convierten en los factores determinantes de la calidad de una familia lógica.

Para facilitar la comparación de unas familias lógicas con otras, estas dos características se suelen dar unidas en un producto entre ambas expresado en pJ (picoJulios). La potencia que se utiliza en esta expresión se refiere al régimen estático (cuando trabajamos en conmutación, la potencia de una puerta se incrementa debido a su elevada rapidez, al aumentar la corriente I_{cc}). El fabricante intentará minimizar en lo posible este producto.

3.- Clasificación de las familias lógicas.

La inmensa mayoría de circuitos integrados (CIs) digitales se dividen en familias lógicas. Cada familia particular está basada en un tipo particular de circuito. Todos los elementos de una familia lógica son compatibles entre sí, es decir, operan con los mismos niveles lógicos, pudiendo la salida de un elemento alimentar la entrada de otro. Las principales son estas:

- Lógica resistencia – transistor (RTL, *resistor-transistor logic*).
- Lógica de diodos.
- Lógica diodo – transistor (DTL, *diode – transistor logic*).
- Lógica transistor – transistor (TTL, *transistor – transistor logic*).
- Lógica de emisores acoplados (ECL, *emitter – coupled logic*).
- De semiconductor de óxido de metal (MOS, *metal oxide semiconductor*).
- Complementaria de semiconductor de óxido de metal (CMOS, *complementary metal oxide semiconductor*).

Cada familia lógica se ha diseñado para una aplicación diferente y cada una tiene sus ventajas e inconvenientes. La tabla 4.2 ofrece una comparación de cuatro de las familias lógicas más importantes respecto a cinco parámetros.

Tabla 4-2. Comparación de familias lógicas.

Parámetro	TTL	ECL	NMOS	CMOS
<i>Puerta básica</i>	NAND	OR/NOR	NAND-NOR	NAND – NOR
<i>Fan-out</i>	10	25	20	> 50
<i>Potencia por puerta(mW)</i>	1-22	4 - 55	0,2 – 10	1 a 1MHz
<i>Inmunidad al ruido</i>	Muy buena	Buena	Buena	Excelente
<i>t_{pD} (ns)</i>	1,5 - 33	1 - 4	30 -300	1,5 - 200

En algunas familias, como la TTL existen subclasificaciones dentro de la misma familia, que potencian alguna característica especial.

4.- Familias TTL.

TTL es una de las familias lógicas de uso más extendido, en particular para aplicaciones que requieran pequeña y mediana escala de integración (SSI y MSI).

Una amplia gama de fabricantes producen circuitos con esta tecnología. La familia estándar de componentes TTL contiene un amplio espectro de circuitos, cada uno de los cuales está especificado por un número de serie genérico que empieza con los dígitos 54 o 74. Los dispositivos que empiezan por 54 están especificados para trabajar dentro de un intervalo de temperaturas, de -55 a 125°C, mientras que los que empiezan con 74 están limitados al rango de 0°C a 70°C. Al prefijo de dos dígitos le sigue un código de 2 o 3 dígitos que representa la función del dispositivo, por ejemplo el circuito integrado 7400 contiene 4 puertas NAND de 2 entradas.

Además de los dispositivos **54XX** y **74XX** estándar, existen familias relacionadas con características modificadas. Estas se definen mediante letras después del prefijo 54 o 74, por ejemplo un 74L00 es una versión de baja potencia del 7400.

El transistor bipolar (BJT) es el elemento activo de conmutación utilizado en todos los circuitos TTL.

4.1.- El transistor bipolar.

Un transistor bipolar (BJT) posee tres terminales **base**, **emisor** y **colector** y tiene dos uniones: la unión base-emisor y la unión base-colector. La operación básica de conmutación es la siguiente: cuando la base es aproximadamente 0,7 V, más positiva que el emisor y se proporciona suficiente corriente de base, el transistor conduce y entra en saturación. Idealmente actúa como un interruptor cerrado entre el colector y el emisor, como ilustra la Figura 4-11. Cuando la base está a menos de 0,7 V por encima del emisor, el transistor no conduce y actúa como un interruptor abierto entre el colector y el emisor, como muestra la parte (b). Un nivel alto en la base pone en conducción al transistor (on), por lo que actúa como interruptor cerrado y un nivel bajo bloquea el transistor (off) por lo que trabaja como interruptor abierto.

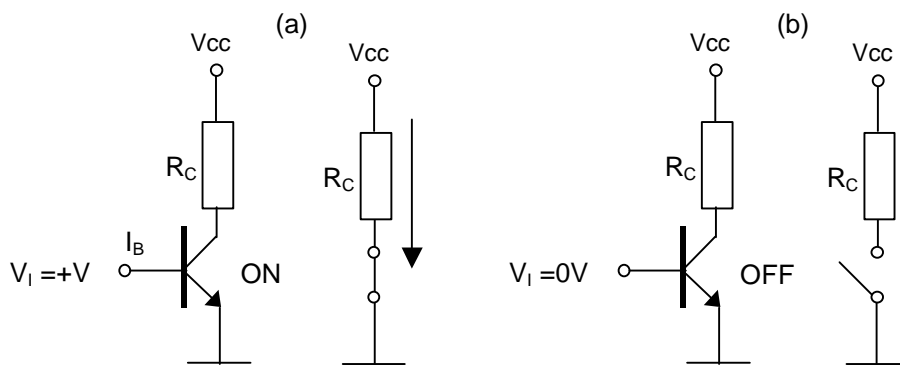


Figura 4-11. Conmutación ideal del BJT. (a) Transistor saturado. (b) Transistor en corte.

4.2. Inversor TTL.

La Figura 4-12 muestra un circuito TTL estándar para una puerta inversora. La combinación de los transistores T_3 y T_4 forma el circuito de salida, a menudo denominado **totem-pole**.

Cuando la entrada es un nivel alto, la unión base-emisor de T_1 se polariza en inversa y la unión base-colector en directa. Esto permite que la corriente atraviese R_1 y la unión base-colector de T_1 llevando a T_2 a saturación. Como resultado, T_2 excita a T_3 y su tensión de colector, que es la salida, es próxima al potencial de tierra (T_4 se mantiene bloqueado). Por consiguiente se obtiene una salida a nivel bajo para una entrada a nivel alto.

Cuando la entrada está a nivel bajo, la unión base-emisor de T_1 se polariza en directa y la unión base-colector en inversa, por lo que se genera una corriente a través de R_1 y de la unión base-emisor de T_1 . En la base de T_2 no hay corriente por lo que no conduce. El colector T_2 está a nivel alto, lo que pone en conducción a T_4 . El transistor T_4 saturado proporciona un camino de baja resistencia desde V_{cc} hasta la salida. Por tanto, un nivel bajo a la entrada da lugar a un nivel alto en la salida.

El diodo D_1 evita los picos negativos de tensión en la entrada que podrían dañar a T_1 y el diodo D_2 asegura que T_4 quede bloqueado cuando T_2 conduce.

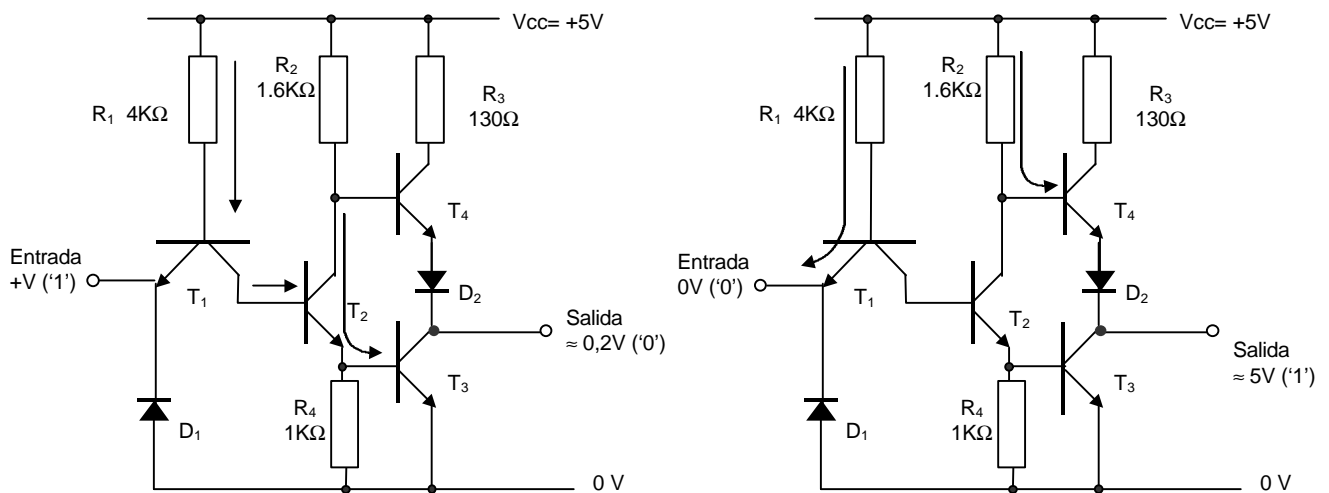


Figura 4-12. Inversor TTL. (a) Entrada a nivel alto. (b) Entrada a nivel bajo.

4.3.- Características de las puertas TTL estándar.

- Niveles lógicos de entrada y salida

	Mínimo	Típico	Máximo
V_{IL}	—	—	0,8
V_{IH}	2,0	—	—
V_{OL}	—	0,2	0,4
V_{OH}	2,4	3,6	—

- Inmunidad al ruido

$$V_{NIH} = V_{OH(\text{mín})} - V_{IH(\text{mín})} = 2,4 - 2,0 = 0,4 \text{ V}$$

$$V_{NIL} = V_{IL(\text{máx})} - V_{OL(\text{máx})} = 0,8 - 0,4 = 0,4 \text{ V}$$

Por tanto, la inmunidad al ruido de cada estado lógico es de 0,4V.

- Corrientes de entrada y fan-out (NAND 7400)

$$\left. \begin{array}{l} I_{IH} = 40 \mu\text{A} \\ I_{OH} = 400 \mu\text{A} \end{array} \right\} \text{Fan-out}_H = \frac{I_{OH}}{I_{IH}} = \frac{400}{40} = 10$$

$$\left. \begin{array}{l} I_{IL} = 1,6 \text{ mA} \\ I_{OL} = 16 \text{ mA} \end{array} \right\} \text{Fan-out}_L = \frac{I_{OL}}{I_{IL}} = \frac{16}{1,6} = 10$$

- Características de conmutación

	Mínimo	Típico	Máximo
t_{pHL} (ns)	—	7	15
t_{pLH} (ns)	—	11	22

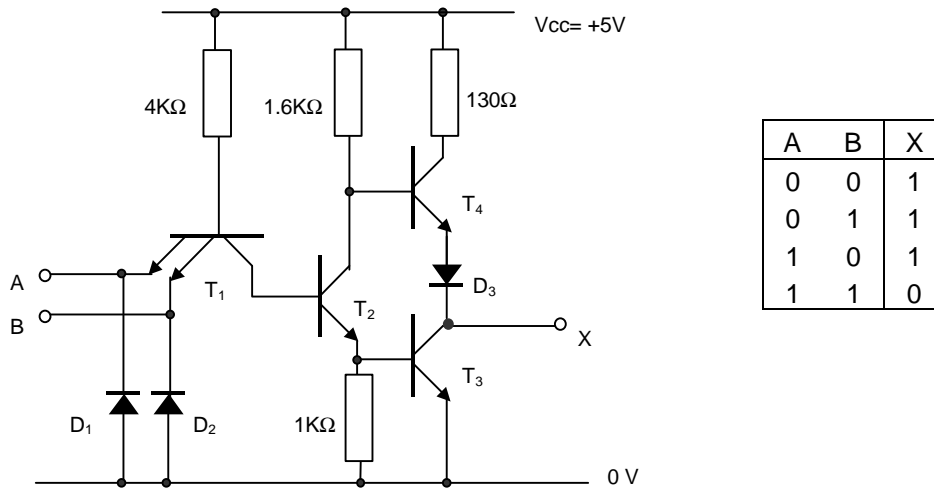


Figura 4-13. Puerta NAND TTL de dos entradas.

4.4.- Tipos de salidas.

Hasta ahora sólo se ha nombrado el tipo de salida totem-pole, pero los circuitos TTL disponen de otros tipos de salida: en colector abierto y tri-estado.

1. **Totem-pole:** Es el tipo de salida más usual. Hay que tener en cuenta que no podemos unir las salidas de circuitos totem-pole (Figura 4-14) porque se produce una corriente excesiva y daría lugar a daños en el dispositivo.

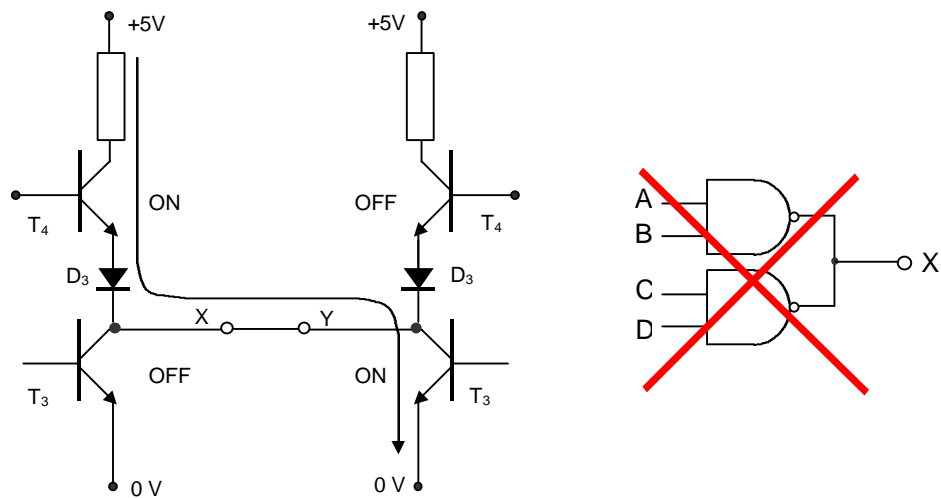


Figura 4-14. Uso incorrecto de circuitos con salida *totem-pole*.

2. **Open-Colector:** La salida se toma del colector del transistor T_3 (Figura 4-15). Para que el circuito funcione se debe conectar una resistencia de pull-up externa entre la salida y la fuente de alimentación. Cuando T_3 no conduce la salida es llevada a V_{cc} a través de la resistencia externa. Cuando T_3 se satura, la salida se lleva a un potencial próximo a tierra a través del transistor saturado.

La elección del valor de la resistencia es un compromiso entre la disipación de potencia y la velocidad. Las resistencias de valor alto reducen al corriente de colector, y por tanto la potencia, pero también limitan la velocidad. Aún con valores de resistencia bajos el circuito en colector abierto no es tan rápido como el totem-pole.

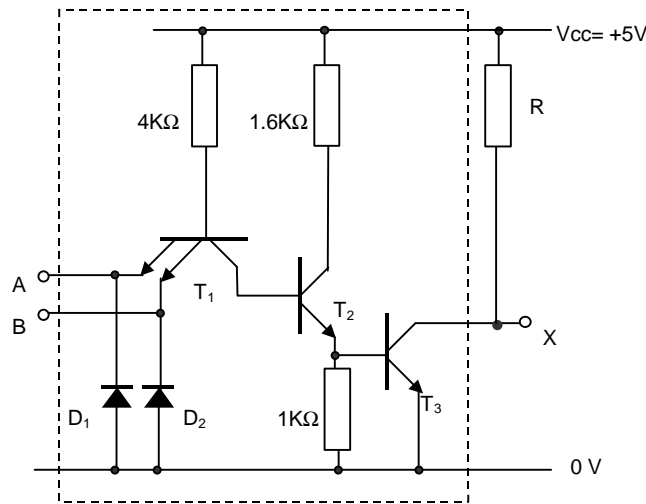


Figura 4.15. Puerta NAND TTL salida open-colector.

Una de las ventajas de las puertas de colector abierto es que sus salidas se pueden conectar en paralelo para formar una configuración **AND cableada**. La función AND cableada resulta de particular interés cuando se deben combinar muchas entradas, pues se elimina la necesidad de disponer de puertas de muchas entradas. En todos los circuitos de AND cableada se requiere una resistencia externa (Figura 4-16).

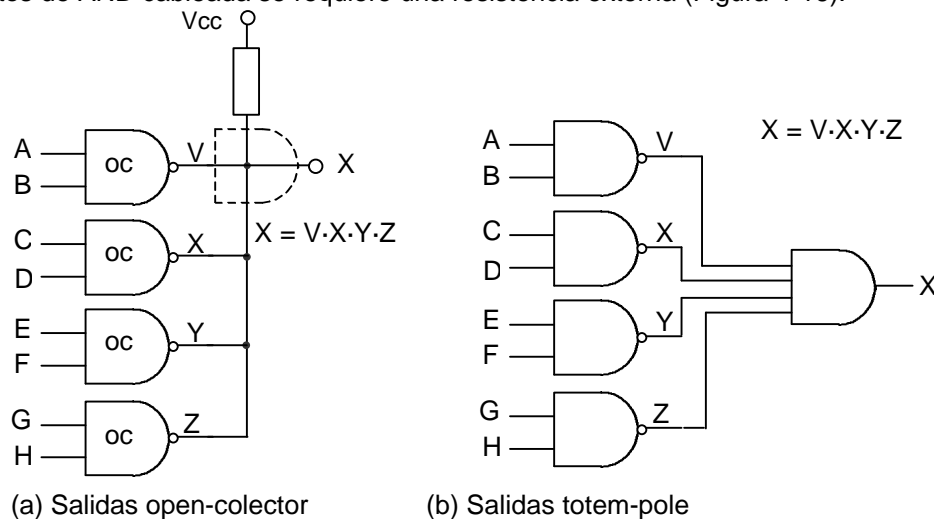


Figura 4-16. Conexión AND de salidas.

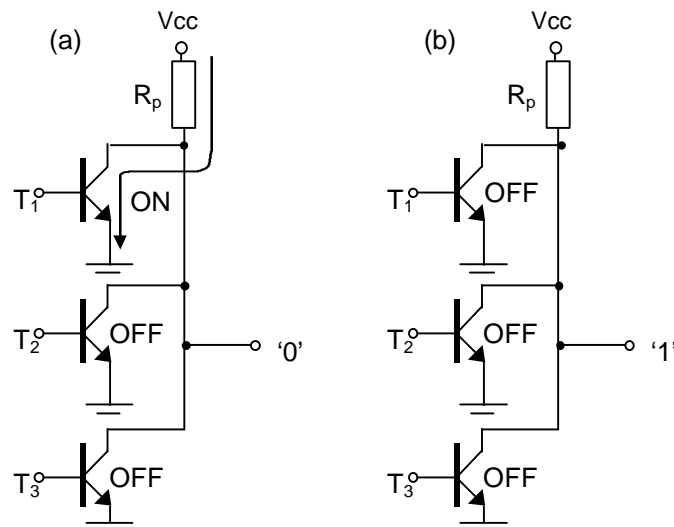
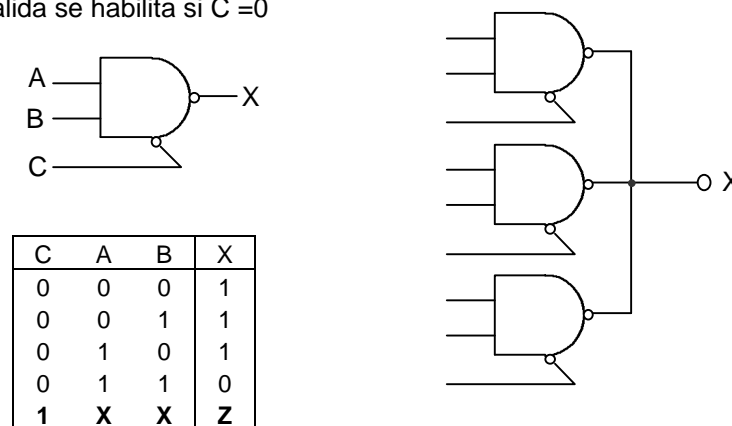


Figura 4-17. AND cableada. (a) Una o más salidas a '0'. (b) Todas las salidas a '1'.

3. Tri-estado. Las puertas lógicas convencionales tienen dos estados de salida posibles: '0' y '1'. En algunas circunstancias resulta conveniente contar con un tercer estado que corresponde a una condición de alta impedancia, en la que se permite que la salida flote. El voltaje de salida estará determinado por el circuito exterior que se conecte. La salida de la puerta se habilita o se deshabilita mediante una señal de control (Figura 4-18). Los dispositivos de tres estados se usan en la creación de buses en los que las salidas de varios dispositivos están conectadas entre sí. Cada dispositivo puede entonces colocar datos sobre la línea siempre y cuando se habilite la salida de un solo dispositivo a la vez. Las salidas deshabilitadas no afectarán a la señal del bus.

La salida de la puerta se habilita o deshabilita mediante una entrada de control C. La Figura 4-18 muestra una puerta con una entrada de control C activa a nivel bajo, es decir, la salida se habilita si $C = 0$



(a) Funcionamiento de C.I. tri-estado

(b) Uso de C.I. con salida tri-estado

Figura 4-18. Salida tri-estado.

4.5.- Otras familias TTL.

Poseen características de funcionamiento particulares.

- **TTL de bajo consumo (54L/74L):** La serie 54L/74L se distingue por su bajo consumo de potencia. Los valores de las resistencias del circuito son mayores que las de la puerta estándar. Cuanto mayor sea la resistencia menor será la corriente, y por consiguiente, menor potencia se disipará. Sin embargo, el ahorro de potencia se paga con una pérdida de velocidad.
- **TTL Schottky (54S/74S):** Poseen alta velocidad porque usan transistores y diodos Schottky en lugar de los componentes tradicionales.
- **TTL Schottky de bajo consumo (54LS/74LS):** Combinan consideraciones de velocidad y consumo de potencia.
- **TTL Schottky avanzada y Schottky de bajo consumo avanzada (54AS/74AS, 54ALS/74ALS):** Son versiones avanzadas de las series S y SL. Existe una versión de la serie AS que se designa como la serie F o FAST (rápida).

Tabla 4-3. Comparación de familias lógicas TTL.

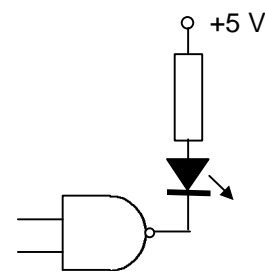
Familia	Descriptor	Fan-out	t_{pD} (ns)	Potencia/puerta (mW)
Estándar	74XX	10	9	10
Bajo consumo	74LXX	2,5	33	1
Schottky	74SXX	12,5	3	19
Schottky bajo consumo	74LSXX	5	9,5	2
Schottky avanzada	74ASXX		1,5	8,5
Schottky bajo consumo avanzada	74ALSXX		4	1

4.6. Consideraciones prácticas sobre circuitos TTL.

Un circuito TTL con una salida totem-pole tiene limitada la cantidad de corriente que puede absorber (16 mA para la lógica TTL estándar y a 20 mA para la lógica TTL AS).

En muchas aplicaciones especiales, una puerta tiene que excitar a dispositivos externos tales como LEDs, lámparas o relés, que pueden requerir más corriente que la que proporcionan estos dispositivos.

Generalmente para excitar LEDs, lámparas o relés, se utilizan circuitos con salidas en colector abierto. El transistor de salida se conecta al LED o a la lámpara como se muestra en la Figura 4-19. Se utiliza una resistencia de limitación para mantener la corriente por debajo de la corriente máxima del LED. Cuando la salida de la puerta sea un nivel bajo, el LED se encenderá.

**Figura 4-19** Excitación de un LED.

Otra consideración importante es que las entradas sin conectar de una puerta TTL actúan como si tuvieran un nivel lógico alto. Sin embargo, debido a la sensibilidad al ruido, es mejor no dejar las entradas no utilizadas desconectadas.

5.- Familias CMOS.

Para construir circuitos integrados digitales además de los transistores bipolares se emplean circuitos basados en transistores MOSFET (*MOS Field-Effect transistor*, transistor de efecto campo MOS) de canal *n* (NMOS) y de canal *p* (PMOS). Hoy en día rara vez se usa la tecnología PMOS. Los circuitos NMOS son más fáciles de fabricar, y por tanto más económicos. Pero la tecnología CMOS es ahora la dominante debido a su bajo consumo. Las siglas CMOS corresponden a *Complementary Metal-Oxide Semiconductor*. El término complementario se refiere a la utilización de dos tipos de transistores en el circuito de salida, en una configuración similar a la tótem-pole de la familia TTL. Se usan conjuntamente MOSFET de canal *n* y de canal *p*.

El primer fabricante que produjo lógica CMOS, denominó a estos circuitos integrados como la **serie 4000** (4000, 4001, etc.), este sistema de numeración fue adoptado por otros fabricantes. Sin embargo algunos fabricantes han producido una amplia gama de componentes CMOS que siguen las funciones y asignación de pines de las familias TTL 74XX, éstos reciben números de serie como 74CXX, 74HCXX, 74HCTXX, 74ACXX o 74ACTXX, en los cuales la "C" significa CMOS; la "A" indica que son dispositivos avanzados y la "T" indica que estos dispositivos son compatibles con los de las familias TTL (trabajan con los niveles lógicos y de alimentación TTL).

5.1.- El transistor MOSFET.

Los transistores de efecto campo de semiconductor de metal-óxido (MOSFET) son los elementos activos de conmutación de los circuitos CMOS. Estos dispositivos difieren enormemente tanto en la construcción como en el funcionamiento interno de los BJTs pero, básicamente, su acción de conmutación es la misma. En aplicaciones digitales al igual que sucedía con los transistores bipolares adoptan dos estados si nos limitamos a trabajar en unos intervalos de voltaje ('1' y '0') asemejándose a interruptores cerrados o abiertos (Figura 4-20).

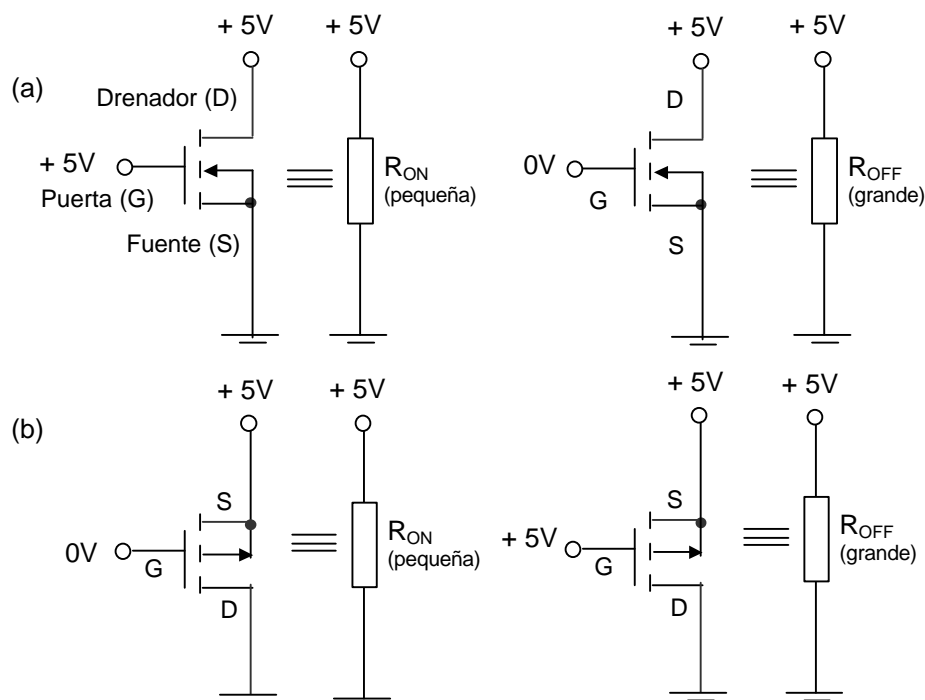


Figura 4-20. Conmutación del transistor MOSFET. (a) Canal n. (b) Canal p.

Los tres terminales de un MOSFET como se puede ver en la Figura 4-20 son: **puerta**, **drenador** y **fuelle**. Cuando la tensión de puerta de un MOSFET de canal n es más positiva que la fuente, el MOSFET conduce (ON) y la resistencia entre drenador y fuente es pequeña. Cuando la tensión puerta-fuelle es cero, el MOSFET no conduce. Los MOSFET de canal p funcionan con polaridades de tensión opuestas.

5.2.- Inversor CMOS.

La lógica MOS complementaria utiliza MOSFET de canal n y de canal p como muestra la Figura 4-21.

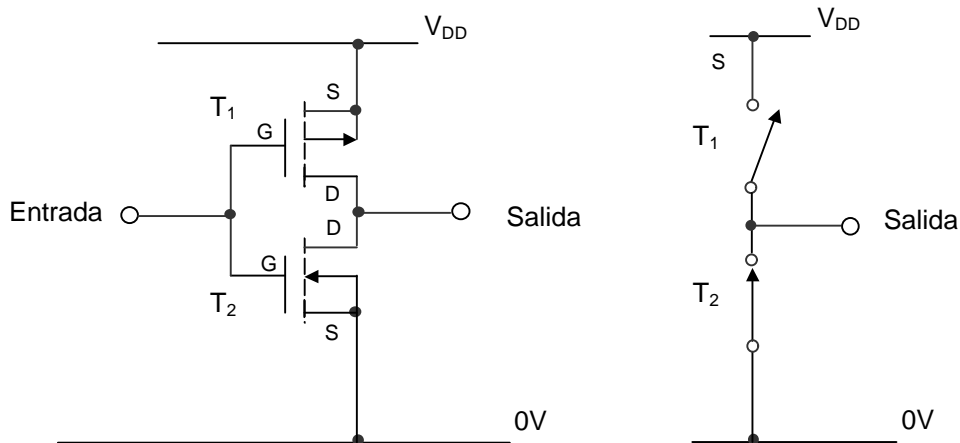


Figura 4-21. Inversor lógico CMOS. (a) Arquitectura interna. (b) Circuito equivalente.

Cuando el voltaje de entrada está cerca de 0 V, no conduce (OFF) el dispositivo de canal n T_2 pero conduce (ON) el dispositivo de canal p T_1 . Cuando el voltaje de entrada está próximo al voltaje de alimentación, la conducción se invierte y T_1 no conduce y T_2 sí. El circuito de la Figura 4-21 se puede representar mediante el esquema de la derecha (b). Con el conmutador T_1 cerrado y T_2 abierto, la salida está a nivel alto y con T_2 cerrado y T_1 abierto, la salida está a nivel bajo.

5.3. Características de las puertas CMOS de la serie 4000.

- Voltaje de alimentación: $3V \leq V_{DD} \leq 18V$
- Niveles lógicos de entrada y salida

$V_{IL(m\acute{a}x)}$	$0,3 \times V_{DD}$
$V_{IH(m\acute{i}n)}$	$0,7 \times V_{DD}$
$V_{OL(m\acute{a}x)}$	0
$V_{OH(m\acute{i}n)}$	V_{DD}

- Inmunidad al ruido

$$\left. \begin{aligned} V_{NIH} &= V_{OH(m\acute{i}n)} - V_{IH(m\acute{i}n)} = V_{DD} - 0,7 \times V_{DD} = 0,3 \times V_{DD} \\ V_{NIL} &= V_{IL(m\acute{a}x)} - V_{OL(m\acute{a}x)} = 0,3 \times V_{DD} - 0 = 0,3 \times V_{DD} \end{aligned} \right\} \begin{aligned} &\text{con } V_{DD} = 5V \\ &V_{NIH} = V_{NIL} = 1,5V \end{aligned}$$

- *Fan-out*. Si no se requiere un funcionamiento de alta velocidad, se pueden conectar hasta 50 puertas a una misma salida.
- *Retardo de propagación*. Las primeras puertas CMOS de las serie 4000 son por lo general más lentas que las puertas de las familias TTL. En años recientes ha aumentado considerablemente la velocidad de funcionamiento, las familias 74ACXX y 74ACTXX tienen tiempos de retardo de ns.
- *Disipación de potencia*. Uno de los principales motivos del empleo de la lógica CMOS es su muy bajo consumo de potencia. El consumo en reposo es muy bajo, aumentando conforme aumenta la velocidad de conmutación. Para un voltaje de alimentación de 5V, una puerta CMOS consume 1nW a 1KHz, pero aumenta a 1mW, si trabajamos a 1MHz. En frecuencias por encima de 10MHz el consumo es mayor que las puertas de la familia 74LSXX.
- *Entradas CMOS*. Son muy sensibles a la electricidad estática y no pueden dejarse sin conectar. Todas las entradas no utilizadas deben conectarse a nivel alto o bajo.

El inversor sencillo de la Figura 4-21 se puede modificar para proporcionar otras funciones lógicas. En la Figura 4-22 se muestra una puerta NAND de dos entradas.

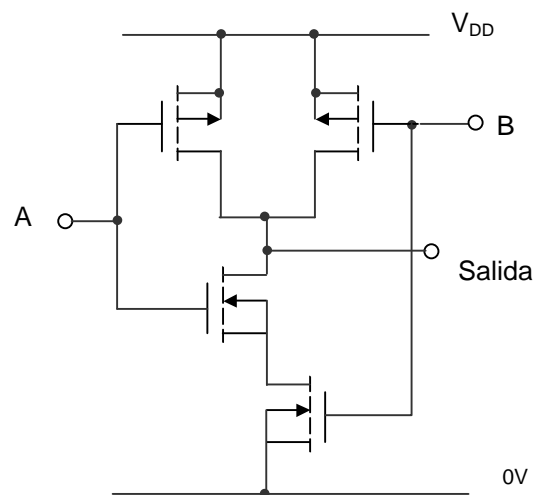


Figura 4-22. Puerta NAND CMOS.

6.- Compatibilidad TTL-CMOS.

6.1.- Conexión TTL-CMOS.

Los niveles lógicos de salida típicos para una puerta TTL con salida totem pole son 3,6V ('1') y 0,2V ('0'). La entrada de una puerta CMOS interpreta cualquier voltaje menor de $0,3xV_{DD}$ como '0' lógico y cualquier voltaje mayor de $0,7xV_{DD}$ como '1' lógico, para una alimentación de $V_{DD} = 5V$, $V_{IL(máx)} = 1,5V$ y $V_{IH(mín)} = 3,5V$. Como se puede observar la salida TTL a nivel alto no es lo bastante alta como para garantizar que se interprete como un '1' en la puerta CMOS.

Para solucionar esto se añade una resistencia de *pull-up* a la salida de la puerta TTL como muestra la Figura 4-23.

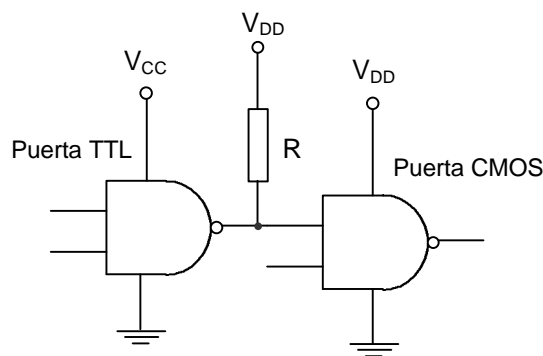


Figura 4-23. Conexión de puertas TTL-CMOS.

6.2.- Conexión CMOS- TTL.

Los niveles lógicos de salida de las puertas CMOS si $V_{DD} = 5V$ son aproximadamente de 0V y 5V, y por lo tanto resultan compatibles con los niveles de entrada de la lógica TTL. Sin embargo, la corriente de salida de los dispositivos CMOS no es suficientemente alta como para atacar las entradas de las puertas TTL estándar. La familia 74LSXX requiere menos corriente de entrada, por lo que un dispositivo CMOS puede conectarse directamente a otro 74LSXX, que luego se puede usar para conectar otras puertas 74LSXX. También se puede añadir una interfaz entre la lógica CMOS y TTL mediante buffers (Figura 4-24 (b))

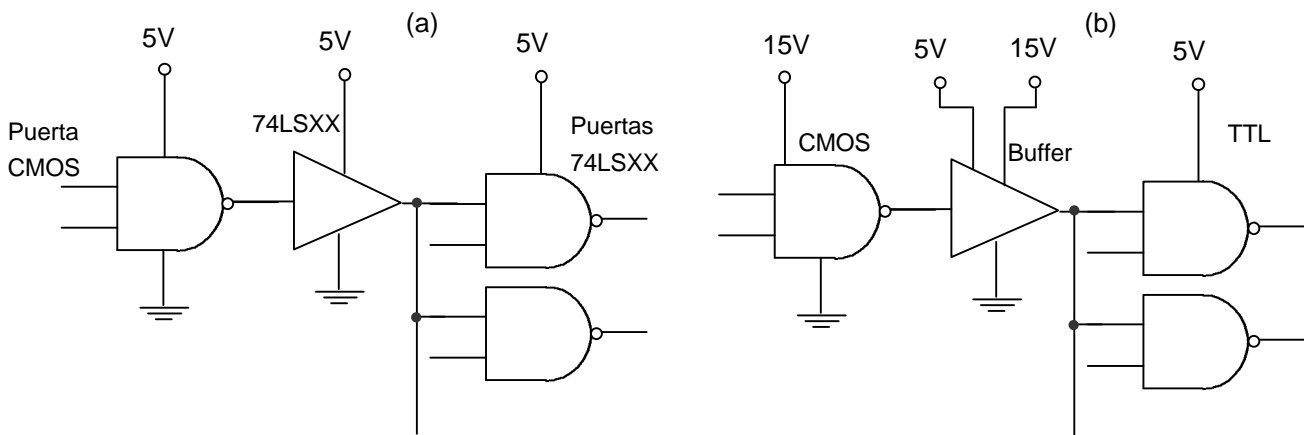
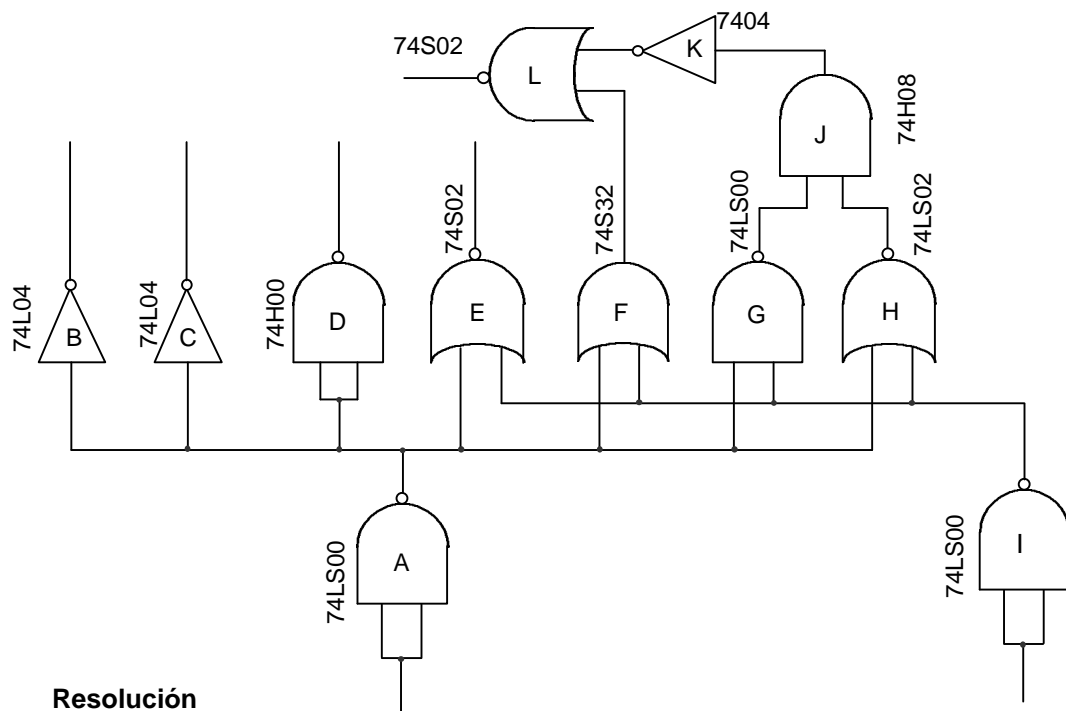


Figura 4-24. Conexión de puertas CMOS-TTL. (a) Mediante una puerta 74LSXX. (b) Mediante un buffer.

Ejemplo 4-1: Dado el circuito de la figura calcular el tiempo de propagación más desfavorable y razonar si el circuito puede funcionar correctamente.

Característica	74XX	74LXX	74HXX	74SXX	74LSXX
I_{IH} (μA)	40	20	50	50	20
I_{IL} (mA)	1,6	0,4	2	2	0,4
Fan-out _H (U.H.)	10	10	25	25	10
Fan-out _L (U.L.)	10	2,5	12,5	12,5	5
t_{pD} (ns)	10	33	6	3	10



Resolución

- a) Tras denominar a las distintas puertas con letras desde la 'A' a la 'L', se estudia el tiempo de propagación en el recorrido "A - L" o "I - L", porque a primera vista parece el más desfavorable.

El tiempo de propagación desde que la señal entra en la puerta 'A' o 'I' hasta que se produce la salida correspondiente a esta entrada en la puerta 'L', se calcula como suma de los tiempos de propagación de cada una de las puertas desde 'A' a 'L':

$$t_{pD(I-L)} = t_{pD'I'} + t_{pD'H'} + t_{pD'J'} + t_{pD'K'} + t_{pD'L'} = 10 + 10 + 6 + 10 + 3 = 39 \text{ ns}$$

Sin embargo analizando el tipo de puertas empleado en el circuito se aprecia que el recorrido "A - C" o el recorrido "A-B" poseen mayor tiempo de retardo:

$$t_{pD(A-B)} = t_{pD'A'} + t_{pD'B'} = 10 + 33 = 43 \text{ ns} \quad \boxed{t_{pD} = 43 \text{ ns}}$$

- b) Para asegurar el correcto funcionamiento del circuito ha de cumplirse que la corriente de salida de cada puerta sea igual o superior a la suma de las corrientes de entrada de las puertas de la etapa siguiente, es decir, $I_{OL} \geq \sum I_{IL}$ y $I_{OH} \geq \sum I_{IH}$.

La primera puerta que a de ser objeto de estudio es la puerta 'A' porque su salida está conectada a ocho entradas de otras puertas ('B', 'C', 'D' las dos entradas de esta puerta provienen de 'A', 'E', 'F', 'G' y 'H').

Las corrientes de salida se calculan a partir de:

$$\text{Fan-out}_{(L)} = \frac{I_{OL\text{máx}}}{1.6\text{mA}} (U.L.) \text{ y } \text{Fan-out}_{(H)} = \frac{I_{OH\text{máx}}}{40\text{mA}} (U.H.)$$

Al despejar y sustituir los valores de *fan-out* para la puerta 'A' perteneciente a la familia 74LSXX, se obtiene:

$$I_{OL\text{máx}} = \text{Fan-out}_{(L)} \cdot 1.6\text{mA} = 5 \cdot 1.6\text{mA} = 8 \text{ mA}$$

$$I_{OH\text{mín}} = \text{Fan-out}_{(H)} \cdot 40\text{mA} = 10 \cdot 40\text{mA} = 400\text{mA}$$

La suma de las corrientes de entrada a nivel bajo será:

$$\sum I_{IL} = I_{IL'B'} + I_{IL'C'} + 2 \times I_{IL'D'} + I_{IL'E'} + I_{IL'F'} + I_{IL'G'} + I_{IL'H'}$$

$$\sum I_{IL} = 0,4 + 0,4 + 2 \times 2 + 2 + 2 + 0,4 + 0,4 = 9,6 \text{ mA.}$$

Como $\boxed{\sum I_{IL} = 9,6 \text{ mA} < I_{OL\text{máx}} = 8 \text{ mA}}$

No se puede garantizar que el circuito funcionará correctamente.